

特開平7-122092

(43)公開日 平成7年(1995)5月12日

(51)Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 16/06		6866-5 L	G 1 1 C 17/00	5 1 0 Z
		6866-5 L		5 2 0 B

審査請求 未請求 請求項の数 19 O L

(全 11 頁)

(21)出願番号 特願平6-178194

(22)出願日 平成6年(1994)7月29日

(31)優先権主張番号 特願平5-218499

(32)優先日 平5(1993)9月2日

(33)優先権主張国 日本(J P)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 宮本 順一

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

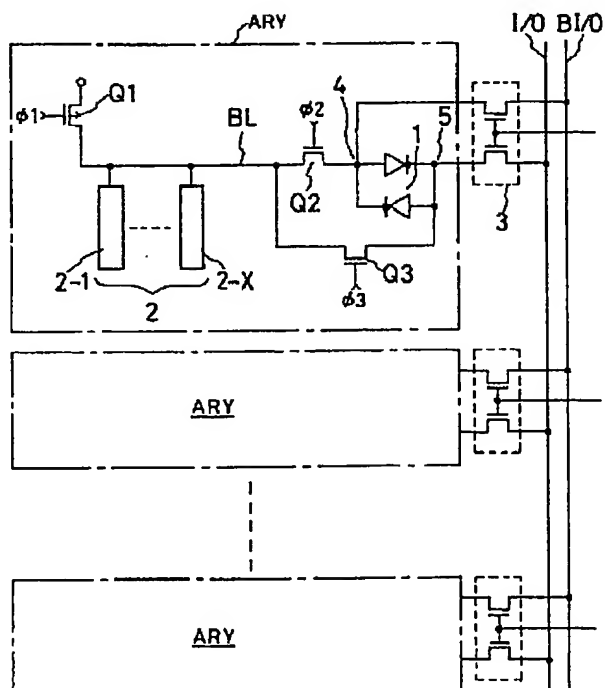
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】半導体記憶装置

(57)【要約】

【目的】データのコピーをする場合、外部へ読み出しデータを持ち出さず、反転データ出力手段によりデータ保持手段のデータをビット線に伝達する。

【構成】ビット線BLに接続されるNAND型メモリセル2各々と、書き込みデータを一時的に保持するフリップフロップ回路1と、ビット線BLを所定電位にプリチャージするPチャネルトランジスタQ1と、ビット線BLとフリップフロップ回路1を接続するNチャネルトランジスタQ2と、フリップフロップ回路1のビット線BLと反対側のノード5とトランジスタQ2のビット線側の一端との間に両端が接続されたNチャネルトランジスタQ3とからなる。このトランジスタQ3が読み出しデータ保持後、その反転データに応じた電位をビット線BLに出力するように設けられている。フリップフロップ回路1における各端子はカラムゲート3を介してI/O線、BI/O線(I/Oの反転信号線)に接続される。



【特許請求の範囲】

【請求項 1】 電荷蓄積層を有するトランジスタからなり、書き込み時にはドレインとゲートとに印加される電位の差の絶対値に応じ、その絶対値が大きいほどしきい値が大きく変動し、そのしきい値に応じたデータを記憶するメモリセルと、

複数のメモリセルのドレインが共通接続されたビット線と、

前記ビット線に接続され、読み出し時に前記ビット線を所定電位にプリチャージするプリチャージ手段と、

前記ビット線に接続され、前記メモリセルから読み出したデータを一時的に保持する読み出しデータ保持手段と、

前記読み出しデータ保持手段の反転データに応じた電位を前記ビット線に出力する反転データ出力手段とを具備したことを特徴とする半導体記憶装置。

【請求項 2】 前記反転データ出力手段によるメモリセルへの書き込み動作にベリファイ手段をさらに具備し、このベリファイ手段は前記ビット線と前記データ保持手段とを結合制御するトランスファ制御手段を含み、ベリファイ動作時には前記ビット線と前記データ保持手段とを電氣的に遮断する期間を有することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 前記ベリファイ手段はベリファイ動作時において導通する第 1 のベリファイ用トランジスタ及び前記データ保持手段の有する所定の保持ノードの信号に応じてゲート制御される第 2 のベリファイ用トランジスタを含み、ベリファイ動作時においてこれら第 1、第 2 のベリファイ用トランジスタが前記データ保持手段の有する所定の保持ノードの信号に応じて前記ビット線の電位を制御する電流経路を構成することを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 4】 前記ベリファイ手段はベリファイ動作時において導通する第 1 のベリファイ用トランジスタ及び前記ビット線の信号に対応してゲート制御される第 2 のベリファイ用トランジスタを含み、ベリファイ終了時にこれら第 1、第 2 のベリファイ用トランジスタが前記データ保持手段の有する所定の保持ノードのデータを反転させる電流経路を構成することを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 5】 電荷蓄積層を有するトランジスタからなり、書き込み時にはドレインとゲートとに印加される電位の差の絶対値に応じ、その絶対値が大きいほどしきい値が大きく変動し、そのしきい値に応じたデータを記憶するメモリセルと、

複数のメモリセルのドレインが共通接続されたビット線と、

前記ビット線に接続され、読み出し時に前記ビット線を所定電位にプリチャージするプリチャージ手段と、

前記メモリセルからの読み出しもしくはメモリセルへの

書き込みのデータを一時的に保持する双安定のデータ保持手段と、

前記ビット線と前記双安定のデータ保持手段の一方端子を接続する第 1 のトランスファ制御手段と、

前記ビット線と前記双安定のデータ保持手段の他方端子を接続する第 2 のトランスファ制御手段とを具備したことを特徴とする半導体記憶装置。

【請求項 6】 前記双安定のデータ保持手段は読み出し時において、予めディセーブル状態にされ、前記プリチャージ手段これに続く前記ビット線のフリーランニング状態を経た後イネーブル状態にされ、その時のビット線の電位に応じたデータを保持することを特徴とする請求項 5 記載の半導体記憶装置。

【請求項 7】 ベリファイ動作時に導通させるための第 1 のベリファイ用トランジスタ及び前記データ保持手段の他方端子の信号に応じてゲート制御される第 2 のベリファイ用トランジスタをさらに具備し、前記ベリファイ動作時においてこれら第 1、第 2 のベリファイ用トランジスタが前記データ保持手段の他方端子の信号に応じて前記ビット線の電位を制御する電流経路を構成することを特徴とする請求項 6 記載の半導体記憶装置。

【請求項 8】 第 1 のベリファイ動作時に導通させるための第 1 のベリファイ用トランジスタ、及び前記データ保持手段の一方端子の信号に応じてゲート制御される第 2 のベリファイ用トランジスタ、第 2 のベリファイ動作時に導通させるための第 3 のベリファイ用トランジスタ、及び前記データ保持手段の他方端子の信号に応じてゲート制御される第 4 のベリファイ用トランジスタをさらに具備し、前記第 1 のベリファイ動作時においてこれら第 1、第 2 のベリファイ用トランジスタが前記データ保持手段の一方端子の信号に応じて前記ビット線の電位を制御する第 1 の電流経路を構成し、前記第 2 のベリファイ動作時においてこれら第 3、第 4 のベリファイ用トランジスタが前記データ保持手段の他方端子の信号に応じて前記ビット線の電位を制御する第 2 の電流経路を構成することを特徴とする請求項 6 記載の半導体記憶装置。

【請求項 9】 前記双安定のデータ保持手段は読み出し時において予めイネーブル状態にされ、前記プリチャージ手段、前記ビット線のフリーランニング状態を経た前記ビット線の電位に応じて、保持データが反転／非反転することを特徴とする請求項 5 記載の半導体記憶装置。

【請求項 10】 前記双安定のデータ保持手段はリセット手段を有することを特徴とする請求項 9 記載の半導体記憶装置。

【請求項 11】 ベリファイ動作時に導通させるための第 1 のベリファイ用トランジスタ、及び前記ビット線の信号に対応してゲート制御される第 2 のベリファイ用トランジスタをさらに具備し、前記ベリファイ終了時にこれら第 1、第 2 のベリファイ用トランジスタが前記デー

タ保持手段のデータを反転させる電流経路を構成することを特徴とする請求項9記載の半導体記憶装置。

【請求項12】 第1のペリファイ動作時に導通させるための第1のペリファイ用トランジスタ、第2のペリファイ動作時に導通させるための第2のペリファイ用トランジスタ、及び前記ビット線の信号に対応してゲート制御される第3のペリファイ用トランジスタをさらに具備し、前記第1のペリファイ終了時にこれら第1、第3のペリファイ用トランジスタが前記データ保持手段のデータを反転させる第1の電流経路を構成し、前記第2のペリファイ終了時にこれら第2、第3のペリファイ用トランジスタが前記データ保持手段のデータを反転させる第2の電流経路を構成することを特徴とする請求項9記載の半導体記憶装置。

【請求項13】 前記メモリセルがマトリクス状に設けられ、前記双安定のデータ保持手段及び前記第1、第2のトランスファ制御手段の構成単位はそれぞれ複数のビット線に共通に接続されていることを特徴とする請求項5記載の半導体記憶装置。

【請求項14】 前記メモリセルがマトリクス状に設けられ、前記双安定のデータ保持手段及び前記第1、第2のトランスファ制御手段の構成単位は複数設けられている。この構成単位はそれぞれ読み出し時、第1のトランスファ制御手段を導通状態に、第2のトランスファ制御手段を非導通状態にして複数のビット線電位を一括して検知し、その後これら双安定のデータ保持手段のデータを全く変えないか、あるいは一部のみ外部から変化させた後、書き込み時において前記第1のトランスファ制御手段を非導通状態、第2のトランスファ制御手段を導通状態にし、前記データ保持手段の内容を各ビット線に伝達することを特徴とする請求項5または13記載の半導体記憶装置。

【請求項15】 読み出し時は前記マトリクス状のメモリセルにおける第1のロウを選択し、書き込み時には前記マトリクス状のメモリセルにおける第2のロウを選択することを特徴とする請求項14記載の半導体記憶装置。

【請求項16】 前記第2のロウを選択する前に予めこの第2のロウに接続されているメモリセルの内容を消去状態にしておく手段を含むことを特徴とする請求項15記載の半導体記憶装置。

【請求項17】 トランジスタとして導通/非導通の区別がなされる自己のしきい値を有し、そのしきい値に対応したデータを記憶するメモリセルと、相補な信号をラッチする第1、第2のラッチノードを有し、前記メモリセルのデータを第1のラッチノードでラッチして読み出しデータとするラッチ型センスアンプと、前記読み出しデータを前記メモリセルへの書き込みデータとして用いる第1のデータ制御手段と、

前記読み出しデータと逆のデータである第2のラッチノードのデータを前記メモリセルへの書き込みデータとして用いる第2のデータ制御手段とを具備したことを特徴とする半導体記憶装置。

【請求項18】 前記第1のデータ制御手段は前記書き込みデータに対応したしきい値の範囲に収めるための第1のペリファイ手段を含むことを特徴とする請求項17記載の半導体記憶装置。

【請求項19】 前記第2のデータ制御手段は前記書き込みデータに対応したしきい値の範囲に収めるための第2のペリファイ手段を含むことを特徴とする請求項17記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は不揮発性半導体装置に関する。特に、書き込み動作及び読み出し動作に用いるセンスアンプに関する。

【0002】

【従来の技術】不揮発性半導体記憶装置は電源を切ってもデータが消えない等の利点があるため、近年大幅に需要が増大している。電気的に一括消去可能な不揮発性半導体記憶装置であるフラッシュメモリは、2トランジスタ型のバイト型不揮発性半導体記憶装置と異なり、1トランジスタでメモリセルを構成することができる。この結果、メモリセルを小さくすることが可能となり、大容量の磁気ディスクの代替用途等が期待されている。

【0003】これらの不揮発性半導体記憶装置は、浮遊ゲートを有するMOSトランジスタからなるメモリセルをマトリクス状に配列してメモリセルアレイを構成し、この浮遊ゲートに電荷を蓄積することによりこのMOSトランジスタのしきい値を変化させ、このしきい値の値によって情報を記憶する。情報の書き込み及び消去は絶縁膜に電流を流すことによって行うため、プロセスや使用条件等の変動によって書き込み時間が大きく変化する。これは、DRAMやSRAMと大きく異なるところである。この結果、同一チップの中にも書き込みの速いセルと書き込みの遅いセルとが共存する。

【0004】以下、これらの問題点を詳説するため、NAND型フラッシュメモリを例にとり、従来の不揮発性半導体記憶装置を説明する。図10(a)はNAND型フラッシュメモリのセル構造を示す回路図である。浮遊ゲートを有するMOSトランジスタからなる不揮発性のメモリセルM1～M16が直列に接続され、一端が選択トランジスタQ11を介してビット線BLに、多端が選択トランジスタQ12を介して共通ソース線Sに接続されている。それぞれのトランジスタは同一のウェル基板(ウェル領域)W上に形成されている。各々のメモリセルM1～M16の制御電極はワード線WL1～WL16に接続されており、選択トランジスタQ11の制御電極は選択線SL1に、選択トランジスタQ12の制御電極は選択線SL2

に接続されている。

【0005】各々のメモリセルM1～M16はそれ自身が保持するデータに応じたしきい値を持っており、このしきい値は“0”データを保持しているときには0Vより大きく5Vより小さい範囲に設定され、“1”データを保持しているときには0Vより小さく設定されている

(より適切には、ある程度のマージンをもたせるため所定範囲のマイナスのしきい値に設定されている)。

【0006】図10(b)は上記したメモリセルのしきい値の個数分布を示すしきい値分布図である。NAND型フラッシュメモリの場合は通常、“1”データが保持されている状態を「消去状態」と呼び、“0”データが保持されている状態を「書き込み状態」と呼ぶ。また、“1”データが保持されているメモリセルのしきい値(V_{th})を正方向にシフトさせ、“0”データを保持するようにすることを「書き込み動作」と呼び、“0”データが保持されているメモリセルのしきい値を負方向にシフトさせ“1”データを保持するようにすることを消去動作と呼ぶ。これは、NOR型のメモリセルでは定義が異なる場合がある。

【0007】図11は図10の構成のメモリセルの読み出し、消去及び書き込み動作時にメモリセルに印加する電圧を表にして示したものである。読み出し動作時には、ビット線BLを始めに5Vにプリチャージし、浮遊状態にしておき、これに引き続いて、選択線SL1に5V、選択メモリセルのワード線WLに0V、非選択メモリセルのワード線WLに5V、選択線SL2に5V、ウェル領域に0V、共通ソース線Sに0Vを印加する。すると、選択メモリセル以外のすべてのトランジスタ(非選択メモリセルを含む)がオンする。選択メモリセルに“0”データが保持されているときにはこのメモリセルは非導通となりビット線の電位は5Vのままで変化がないが、“1”データが保持されているときには導通となるためビット線は放電され電位が低下する。データのセンスは読み出し時のビット線電位を検出することにより行う。

【0008】図12は図10の構成のメモリセルにおける消去及び書き込み動作時のしきい値の分布図である。まず、消去動作時には、ビット線BLは開放、選択線SL1に0V、メモリセルのワード線WLに0V、選択線SL2に0V、ウェル領域Wに18V、そして共通ソース線Sに18Vを印加する。すると、浮遊ゲートとウェル領域間にゲート絶縁膜を介してトンネル電流が流れ、しきい値は0Vより小さくなる。このしきい値の分布のシフトを示したのが図12(a)である。

【0009】書き込み動作時には、書き込みデータによって異なった電圧を印加する。すなわち、“0”書き込み(しきい値をシフトさせる場合)ではビット線BLに0Vを印加し、“1”書き込み(しきい値をシフトさせない場合)ではビット線BLに9Vを印加する。選択線

SL1には11V、選択メモリセルのワード線WLには18V、非選択メモリセルのワード線WLには9V、選択線SL2には0V、ウェル領域Wには0V、共通ソース線Sには0Vを印加する。この結果、選択トランジスタQ11からメモリセルM16までの全てのトランジスタは導通し、ビット線と同電位となる(トランジスタのしきい値落ちは考慮しない)。

【0010】従って、ビット線BLに0Vが印加されたメモリセルはチャネルと制御電極との間に18Vの高電圧がかかり、トンネル電流が流れ、しきい値は正方向にシフトする(図12(b))。また、ビット線BLに9Vが印加されたメモリセルはチャネルと制御電極との間に9Vしかかからないため、しきい値の正方向のシフトは抑圧される(図12(c))。この9Vを書き込み禁止電圧と呼ぶ。

【0011】しかし、冒頭でも述べたように、不揮発性半導体記憶装置はトンネル電流という純物理的な手段を用いて書き込みを行うため、書き込み速度は各メモリセルによってばらつきがある。

【0012】すなわち、書き込みの遅いセルはある時刻で“0”に書き込まれたが、書き込みの速いセルはその時すでに“0”セルのしきい値の上限である5Vを越えてしまう場合がある。このようになると、そのNANDセル全体のデータが読めずに不良になる。すなわち、セルのしきい値制御が動作のポイントとなる。

【0013】図13は図10のメモリセルへの読み出し、書き込みの動作を説明する従来の回路図である。この図は簡略化のためビット線1本分、複数のNAND型メモリセルの各ユニット分が示されている。実際にはビット線数千本併設され、NAND型メモリセルがアレイ状に配置される。

【0014】フリップフロップ回路(F.F)はCK、BCK(CKの反転)のクロック信号でアクティブ制御されるクロックトCMOSインバータ回路1,2で構成され、書き込みデータを一時的に保持する。ビット線BLにはFIG.1で説明したのと同様のNAND型メモリセル(MC)それぞれが接続されている。さらにビット線BLを充電するPチャネルトランジスタQ21と、ビット線BLとF.F回路とを接続するトランジスタQ22が接続されている。F.F回路の両端子はトランスファゲートを介して、I/O線13,14に接続される。

【0015】書き込みは次のようである。F.F回路をアクティブ(CKを“H”レベル)にセットし、I/O線13,14からデータを書き込む。“0”書きするセルに対応するビット線BLに接続されているF.Fには、ビット線に接続されている端子15が“L”となるようにセットしてトランジスタQ22をオンさせる。ビット線には0Vが印加され、セルには“0”が書き込まれる。一方、“1”のまま保持すべきセルに対応するビット線BLには、端子15が“H”になるように設定する。この時点で

PMOSトランジスタのソース16の電圧値を9VにセットしてトランジスタQ22をオンさせる。ビット線BLに9Vが印加され前記図1に示した書き込みのバイアス条件を得る。

【0016】一方、読み出しは次のようである。図14の波形図を参照すると、まず、F.F回路をディセーブル(CKを“L”レベル)として、ビット線BLを5Vまでプリチャージする。次にトランジスタQ22をオンさせて、選択セルの制御ゲートを0V、非選択セルの制御ゲートを5Vとする。すると、しきい値が0Vを越えたセルが接続されたビット線電位は変化せず、しきい値が0V以下のセルの接続されたビット線については曲線18のように、セルの電流に伴い時間と共に低下していく。ここで適当なインターバルをおいた後、例えば時刻t1の時点でF.F回路をアクティブとすることによりビット線BLの電位はF.F回路内に取り込まれる。すなわち、端子15の電圧は“0”データならば“H”、“1”データならば“L”となるようにラッチされる。

【0017】図15は上記メモリセルアレイとセンス系回路のレイアウトを示す平面図である。上記F.F回路からなるセンスアンプ31は、メモリセルアレイ32に対して一方の辺に複数個例えば4k個配置され、あるロウ33方向のセルのデータが一括してセンスアンプ31に取り込まれる。また、逆にセンスアンプを形成するF.F回路に外部からデータを書き込み、ロウ33のセルに一括して書き込むことができる。

【0018】ところが、あるアプリケーションによってはロウ33のデータをすべて、全く別のロウ34に一括してコピーしたい場合が生じる。これをコピーバックと称する。この機能を従来回路のセンスアンプ31を用いて実現することを考える。まず、ロウ33のデータをセンスアンプ31に取り込む。このとき、図13に示すように“0”の書かれたメモリセルを読み出すビット線端子15は“H”レベル、“1”の書き込まれたメモリセルの端子15は“L”レベルと検知される。この状態でロウ34に書き込みを行うと、端子15が“H”のビット線は中間電位であるのでここに接続されているセルに書き込みは起こらず、端子15が“L”のビット線に接続されているセルは“0”が書き込まれることになる。この結果、もし、34のロウのセルが消去された状態にあったとしても、ロウ34には反転のデータが書き込まれてしまう。すなわち、従来回路でコピーバックを正確に実現しようとする、まず、セルのデータを一括してセンスアンプ31に取り込んだ後、外部にこれを読み出し、データを反転させて再びセンスアンプ31に書き込み、その後一括してセルにデータを書き込む必要があった。この方式は外部にデータの制御器が必要となる上に、データをメモリコアから読み出し、また書き込むといった膨大な時間のロスが生じるという問題がある。

【0019】

【発明が解決しようとする課題】このように、従来ではロウ単位のメモリデータを一括して他のロウにコピーする場合、外部の制御器を用いる必要があり、かつ時間がかかり過ぎるという欠点がある。

【0020】この発明は上記のような事情を考慮してなされたものであり、その目的は、メモリデータを一括して他のロウにコピーするコピーバック等を、外部のCPUパワーを使わずに行い、コピーバック動作時間のロスの大幅低減化を実現する不揮発性半導体記憶装置を提供することにある。

【0021】

【課題を解決するための手段】この発明の半導体記憶装置は、電荷蓄積層を有するトランジスタからなり、書き込み時にはドレインとゲートとに印加される電位の差の絶対値に応じ、その絶対値が大きいほどしきい値が大きく変動し、そのしきい値に応じたデータを記憶するメモリセルと、複数のメモリセルのドレインが共通接続されたビット線と、読み出し時に前記ビット線を所定電位にプリチャージするプリチャージ手段と、前記ビット線に接続され、前記メモリセルから読み出したデータを一時的に保持するデータ保持手段と、前記データ保持手段の反転データに応じた電位を前記ビット線に出力する反転データ出力手段とを具備したことを特徴とする。また、前記反転データ出力手段によるメモリセルへの書き込み動作にベリファイ手段を具備することを特徴とする。

【0022】

【作用】この発明では、NAND型メモリセル構造において、あるセルデータを他のセルへコピーする場合、外部へ読み出しデータを持ち出さず、反転データ出力手段によりデータ保持手段のデータをビット線に伝達する。

【0023】

【実施例】以下、図面を参照してこの発明を実施例により説明する。図1はこの発明の第1実施例に係る不揮発性半導体記憶装置の要部であり、データ書き込み、読み出しに関係するセンス系回路の構成を示す回路図である。この図は簡略化のため、ビット線に共通にドレインが接続される複数のNAND型メモリセルの各ユニットが示されている。実際には一点鎖線で囲んだ回路ARYが並列接続されており、ビット線数千本が併設され、NAND型メモリセルがアレイ状に設置される。

【0024】すなわち、書き込みデータを一時的に保持するフリップフロップ回路1と、ビット線BLと、ビット線BLに接続される図10において説明したNAND型メモリセル2各々と、ビット線BLを所定電位にプリチャージするPチャネルトランジスタQ1と、ビット線BLとフリップフロップ回路1とを接続するNチャネルトランジスタQ2と、フリップフロップ回路1におけるビット線BLと反対側のノードとトランジスタQ2のビット線側の一端との間に両端が接続されたNチャネルトランジスタQ3とからなる。このトランジスタQ3が読

み出しデータ保持後、その反転データに応じた電位をビット線BLに出力するように設けられている。フリップフロップ回路1における各端子はカラムゲート3を介してI/O線、BI/O線(I/Oの反転信号線)に接続されている。

【0025】トランジスタQ1のゲートにはφ1信号線が接続されプリチャージを制御する。また、トランジスタQ2のゲートにはφ2信号線が、Q3のゲートにはφ3信号線が接続され、所定のタイミングで制御される。トランジスタQ1のソースは書き込み動作時9V、それ以外の時は5Vとなる電源に接続されている。また、フリップフロップ回路1の電源も書き込み動作時は9V、それ以外の時は5Vとなるように構成される。フリップフロップ回路1は例えば図2のようなクロックトインバータで構成される。

【0026】上記図1の構成において、メモリセル2-xのデータをメモリセル2-1にコピーする動作を説明する。コピー先のセル2-1はあらかじめ消去された状態、すなわち、オン状態にあるとする。まず、セル2-xの情報を読み出す。このとき、フリップフロップ回路1は図2に示されるクロックCK、BCK(CKの反転)を入力するトランジスタがカットオフされ、ディセーブル状態にある。ビット線BLと接続されているトランジスタQ2はオン、トランジスタQ3はオフに設定されている。いま、トランジスタQ2をオンさせ、ビット線BLをプリチャージして“H”レベルにおき、フリーランニング状態とする。

【0027】ある適当な時間経過後、フリップフロップ回路1をイネーブル状態にする。その時のビット線BLの電位がフリップフロップ回路1のしきい値電圧より高い、すなわち、セル2-xにデータが書き込まれていてしきい値が高ければ、ビット線BLとフリップフロップ回路1の接続ノード4は“H”レベルに設定される。また、セル2-xが消去状態すなわちでオン状態のままであれば、ビット線BLは放電するため、ノード4は“L”レベルに設定される。これにより、読み出し動作は完了する。すなわち、読み出したセル2-xのデータはフリップフロップ回路1にラッチされたことになる。

【0028】このフリップフロップ回路1のデータをセル2-1にコピーする場合は、フリップフロップ回路1の電源電位を上げ(9V)、そしてトランジスタQ2をオフ、トランジスタQ3をオンにする。すると、ノード4と相補な信号、つまりノード5の信号がビット線BL先に現れることになる。すなわち、読み出したセル2-xがオン状態(“1”データ)によりノード4が“L”に設定されていれば、反対側のノード5は“H”である。この結果、ビット線BLは中間電位にプリチャージされ、セル2-1の選択ゲート(図10で示すところの選択トランジスタQ11)をオンさせて書き込み動作に入ってもセル2-1には十分な電位差が与えられないためデータが書

き込まれず、オン状態(“1”データ)のままである。一方、セル2-xがオフ状態(“0”データ)によりノード4の“H”が設定されていれば、反対側のノード5は“L”である。すなわち、書き込み動作に入ったときビット線BLは“L”にプリチャージされ、セル2-1には十分な電位差が与えられることにより“0”データが書き込まれることになる。

【0029】上記実施例によればフリップフロップ1に取り込んだメモリセル2-xの内容が外部に読み出されることなしに、他のメモリセル2-1にコピーされる。このコピーバック動作は並列接続されたフリップフロップ1を含むこの発明のセンス系回路で一括に行われるわけで、短時間でのページ単位のコピーが可能となる。

【0030】図3は第2の実施例を示す回路図であり、図2の構成のフリップフロップ回路1を複数のビット線で共有した応用例である。ビット線の切り換えは、信号S1...S4によって制御されるトランジスタQ71...Q74によって行う。この結果、パターン面積の削減という効果が得られ、カラム方向でのデータの移動、共有したビット線に一括してデータを出力する場合に有効である。

【0031】図4は第3の実施例を示す回路図であり、ベリファイ機能を付加してある。この回路は、通常の書き込み動作と本願に関わるコピーバック用の書き込み動作の両方に対しベリファイ機能を有している。電源とビット線BLとの間において、トランジスタQ21とQ22を直列に接続し、また、トランジスタQ31とQ32を直列に接続している。トランジスタQ21、Q31はそれぞれベリファイ動作制御用の信号φ6、φ7でゲート制御される。トランジスタQ22、Q32はそれぞれフリップフロップ回路1のノード4、5でゲート制御される。

【0032】まず、通常の書き込みのベリファイ動作は図のNチャネルトランジスタQ21、Q22を利用する。以下(i)、(ii)により簡単に説明する。

(i) 例えばノード4が“L”にセットされ選択したセルに“0”データを書き込む動作をさせた場合、次のベリファイ時の読み出し動作において、トランジスタQ2オフ、トランジスタQ1オンによるビット線のプリチャージから一定時間(フリーランニング期間)を経ると次のようなセルの状態が考えられる。

【0033】(1) 確実に“0”データとしてのしきい値を得たセルはビット線のプリチャージ電位を保つ。

(2) まだ、しきい値の設定が十分でない、つまり電子が必要量注入されていないセルはオン状態に近く、ビット線のプリチャージ電位を放電させてしまう。

上記フリーランニング期間後、信号φ6によりトランジスタQ21をオンさせる。ノード4は“L”であるからトランジスタQ22はオフ、よって“0”データを書き込むとするビット線には何の影響も与えない。次に、トランジスタQ21をオフ、トランジスタQ2をオンさせてビ

ット線BLとフリップフロップ回路1とを接続した場合、(1)の状態ならば、フリップフロップ回路1のノード4は“L”から“H”に変化するのでフリップフロップ回路1のラッチデータが反転し、このビット線につながる選択セルは次の再書き込み動作から除外される。
(2)の状態ならば、フリップフロップ回路1のノード4は“L”のままであり、次の再書き込み動作が行われる。すなわち、信号φ2によりQ2をオフさせビット線BLとフリップフロップ1を電氣的に切断して、信号φ1によりQ1をオンさせビット線BLをプリチャージする。次に信号φ2によりQ2をオンさせてフリップフロップ回路1のノード4の“L”をビット線電位に設定し、再び書き込み動作が行われる。この再書き込み動作はベリファイ時において、上記(1)の状態を得るまで繰り返される。

【0034】(ii)一方、例えばノード4が“H”にセットされメモリセルに“1”データを書き込む動作、つまり消去状態のままに保つ動作をさせると、次のベリファイ時の読み出し動作において、トランジスタQ2オフ、トランジスタQ1オンによるビット線のプリチャージからフリーランニング期間を経ると必然的にビット線のプリチャージ電位は放電する。このフリーランニング期間後、信号φ6によりトランジスタQ21をオンさせる。ノード4は“H”であるからトランジスタQ22はオン、よってこのビット線にノード4の“H”レベルが伝達される。次に、トランジスタQ21をオフ、トランジスタQ2をオンさせてビット線BLとフリップフロップ回路1とを接続した場合、ビット線BLはノード4の“H”と同じ電位を有しているのでフリップフロップ回路1のラッチデータは変わらない。フリップフロップ回路1のノード4の“H”は書き込み動作の期間に入ると書き込み禁止電圧として昇圧されビット線の電位を書き込み禁止電圧に保つ。すなわち、フリップフロップ回路1のノード4が“H”に接続されたビット線は書き込みは起こらない。

【0035】上記説明したように、通常の書き込みのベリファイ動作と同様にコピーバック用の書き込みのベリファイ動作を行うのが、図において信号φ7により制御されるNチャネルトランジスタQ31とノード5により制御されるNチャネルトランジスタQ32である。すなわち、FIG. 9の構成で説明したようにデータをコピーバックする。その後、トランジスタQ21、Q22の代わりにトランジスタQ31、Q32を利用して、コピーバックしたデータが確実に書き込まれているか、上記通常の書き込みのベリファイ動作と同じシーケンスでベリファイ動作、必要に応じて再書き込み動作を行う。コピーバックのベリファイ動作終了時にはノード5が“H”にセットされる。

【0036】図5は第4の実施例を示す回路図であり、トランジスタQ21、Q22の直列接続配置、トランジスタ

Q31、Q32の直列接続配置がそれぞれ図4と逆になっている。動作は図4と同様である。

【0037】図6は第5の実施例を示す回路図であり、強制反転型と呼ばれるセンス回路に適用した回路図である。詳細は特願平5-74797に開示されている。なお、図1と同一の回路素子については同一符号を付してある。ここでのフリップフロップ回路1はクロックトインバータを用いていない。ビット線電位を受けるトランジスタのオンでフリップフロップ回路1のデータノードが強制的に接地電位にされ、フリップフロップ回路のデータが反転するタイプなので、フリップフロップ回路1を必ずしもクロックトインバータで構成しなくてもよい。ラッチ型センスアンプ回路としてのフリップフロップ回路1において、素子数削減、占有面積縮小に効果があるといえる。

【0038】図6の回路は図1の構成にさらに、フリップフロップ回路1のノード5と0Vの接地電位との間に直列に接続されたトランジスタQ4、Q5、ノード4と接地電位との間に接続されたトランジスタQ6からなる。トランジスタQ4のゲートはビット線BLに接続されており、トランジスタQ5のゲートは信号φ4で制御され、これらトランジスタQ4、Q5とで強制反転手段を構成している。また、トランジスタQ6のゲートには信号φRの信号線が接続され、トランジスタQ6はリセット手段を構成する。

【0039】上記構成のセンス系回路の動作は、ビット線電位を読み込む前に信号φRによりトランジスタQ6をオンさせてフリップフロップ回路1を初期化しておき、その後、ビット線BLをプリチャージしてトランジスタQ2をオンさせ、ビット線をフリーランニング状態におき、ある時間経過後、トランジスタQ5をオン状態にする。このとき、ビット線電位が“L”レベルになっていればフリップフロップ回路1の状態は初期値と同一であるが、“H”レベルになっていればフリップフロップ回路1の状態が反転し、ノード5を“H”から“L”に設定しなおす。

【0040】すなわち、図6の構成の回路に上記(i)，(ii)の各書き込みの条件を与えた場合、次のようにベリファイ動作する。まず、(i)の書き込み条件では、やはり、(1)，(2)の状態が考えられる。その後、トランジスタQ5をオン状態にする。ここで、(1)の状態になっていればフリップフロップ回路1のラッチデータは反転し、このビット線につながる選択セルは次の再書き込み動作から除外される。なぜなら、次の再書き込み動作時にはノード4は“H”であり、ビット線に書き込み禁止電圧が印加されることになるからである。また、(2)の状態になっていれば、トランジスタQ4はオンせず、ノード4は“L”のままであるから次の再書き込み動作が行われる。この再書き込み動作は、ベリファイ時において、上記(1)の状態を得るまで繰り返される。一方、(i

1)の書き込み条件ではビット線は必然的に放電状態になるから、トランジスタQ4はオンせず、ノード4は“H”のままであり、次の再書き込み時には書き込み当初と同様にビット線に書き込み禁止電圧が印加される。すなわち、フリップフロップ回路1のノード4が“H”に接続されたビット線は書き込みは起こらない。

【0041】このような構成の回路においてコピーバック動作させる場合、図1と同様にトランジスタQ2をオフし、トランジスタQ3をオンさせ、フリップフロップ回路1のノード5の電位をビット線に出力させればよい。

【0042】図7は第6実施例の回路図であり、図6の構成にさらに本願に関わるコピーバック用の書き込み動作に対するペリファイ機能をも付加したものである。フリップフロップ回路1のノード5、ノード4はそれぞれトランジスタQ5、Q7の電流通路を介してビット線電位でゲート制御されるトランジスタQ4の電流通路の一端に接続される。トランジスタQ4の電流通路の他端は接地電位に繋がる。ノード4と接地電位との間には図6と同様にリセット用のトランジスタQ6が設けられている。

【0043】すなわち、フリップフロップ回路1のノード5の電位をビット線に出力させコピーバックを行った後、コピーバック動作時の書き込みデータをペリファイするために、トランジスタQ5に代ってトランジスタQ7が動作する。動作シーケンスは図6に準ずる。コピーバックの書き込みデータが確実に書き込まれたペリファイ終了時では、ノード4は“L”に設定される。

【0044】なお、上記構成におけるリセット用のトランジスタQ6は、リセットパスができるようになれば必要ない。例えばコピーバックのペリファイ動作とは別にトランジスタQ1のプリチャージ後、ビット線BLに繋がる選択ゲート(図10で示すところの選択トランジスタQ11)のすべてを閉じ、トランジスタQ7をオン状態にすることでリセット動作が可能である。

【0045】図8は第7実施例の回路図であり、図7の構成におけるペリファイ動作制御用の信号φ4、φ5でゲート制御されるトランジスタQ5、Q7の配置をグラウンド線に接続されるようにしている。よって、図7でトランジスタQ7、Q5に対して共有していた、ビット線電位でゲート制御されるトランジスタQ4は、トランジスタQ7、Q5に対してそれぞれ必要になり、トランジスタQ41、Q42を設けている。ここでは、リセット用のトランジスタQ6を省いた構成を示した。リセット動作はビット線のプリチャージ時に行う。すなわち、信号φ1が“L”によりトランジスタQ1が導通すると、ビット線BLがVccにプリチャージされ、トランジスタQ41、Q42共に導通する。この状態で信号φ5を“H”としてトランジスタQ7を導通させるとフリップフロップ回路1のノード4がVssに接地される。このようにして

リセット動作が完了する。このような図8の構成は設計ルールによってはパターンが容易である場合がある。

【0046】この発明を適用した応用例を以下に説明する。フローティングゲートに蓄積された電荷は酸化膜の欠陥などにより抜けてしまい信頼性上問題となる。これに対する有効な方法としてリフレッシュ動作がある。そこで上記コピーバック機能をリフレッシュ動作に用いることが考えられる。すなわち、図9に示されるように外部に特にメモリを必要とせずに簡単にリフレッシュ動作が行える。まず、図9(a)に示すようにメモリセルアレイ21のn番目のロウのデータを例えば図1に示すトランジスタQ2を介して図1に示したようなセンス系回路22に読み出す。次にトランジスタQ3をオンさせ、図9(b)のようにセンス系回路の情報を使って、n番目のロウに同一データを書き込む(コピーバック)。次も同様にして図9(c)のようにn+1番目のロウを読み出し、図9(d)のようにn+1番目にコピーバックする。これを順次繰り返すことによって所定の電荷が保持されたすべてのメモリセルに同一データを書き増す(リフレッシュ動作を施す)ことが可能である。さらに、セルのより正確なしきい値設定のために、例えば図7や図8に示すような構成を用いてペリファイ動作も行えば、信頼性は一層向上する。

【0047】

【発明の効果】以上説明したようにこの発明によれば、反転データ出力手段を用いることによって、外部へ読み出しデータを持ち出さずにデータ保持手段のデータをビット線に伝達できるので、メモリデータを一括して他のロウにコピーするコピーバックや、メモリのリフレッシュ動作を簡単にかつ短時間に行い、動作時間ロス的大幅低減化が達成される不揮発性半導体記憶装置を提供することができる。

【図面の簡単な説明】

【図1】この発明の第1実施例に係る不揮発性半導体記憶装置の要部の構成を示す回路図。

【図2】図1の一部のより具体的な構成を示す回路図。

【図3】図1を応用した第2の実施例の構成を示す回路図。

【図4】この発明の第3の実施例の構成を示す回路図。

【図5】この発明の第4の実施例の構成を示す回路図。

【図6】この発明の第5の実施例の構成を示す回路図。

【図7】この発明の第6の実施例の構成を示す回路図。

【図8】この発明の第7の実施例の構成を示す回路図。

【図9】この発明を用いてメモリのリフレッシュ動作を説明するメモリセルアレイを示すパターン平面図。

【図10】(a)はNAND型フラッシュメモリのセル構造を示す回路図、(b)は(a)のメモリセルのしきい値の個数分布を示すしきい値分布図。

【図11】図10の構成のメモリセルにおける読み出し、消去及び書き込み動作時にメモリセルに印加する電

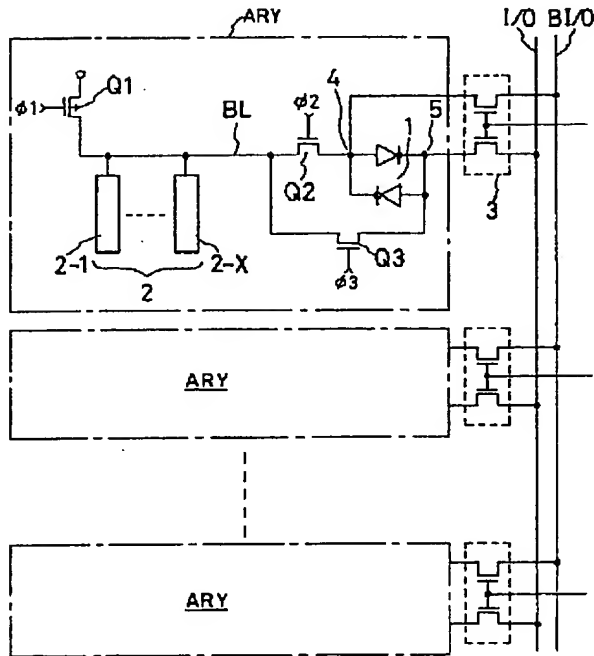
圧を表にして示した図。

【図 1 2】図 1 0 の構成のメモリセルにおける消去動作時、書き込み動作時のしきい値の分布図。

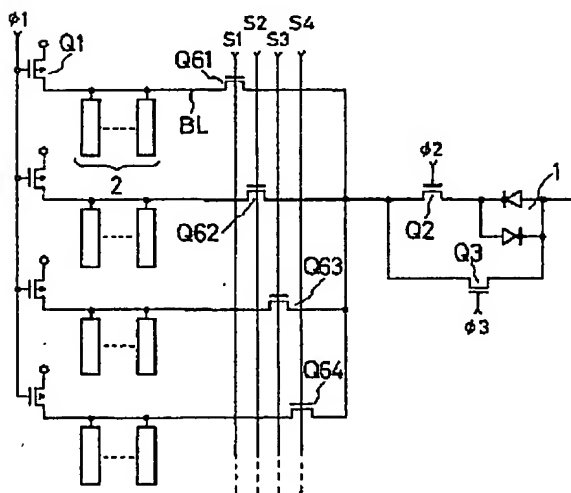
【図 1 3】図 1 0 の構成のメモリセルへの読み出し、書き込みの動作を説明する従来の回路図。

【図 1 4】読み出し時のビット線の変化を示す波形図。

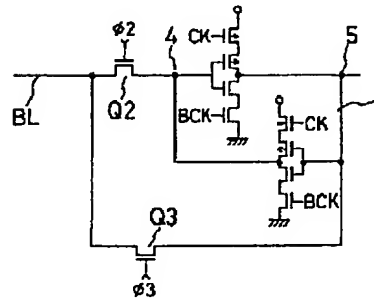
【図 1】



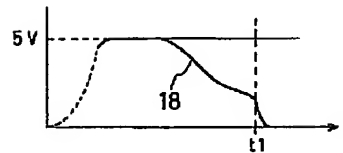
【図 3】



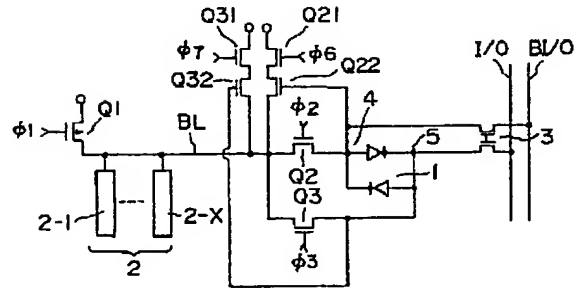
【図 2】



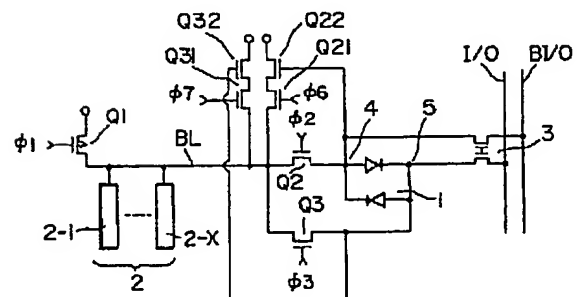
【図 1 4】



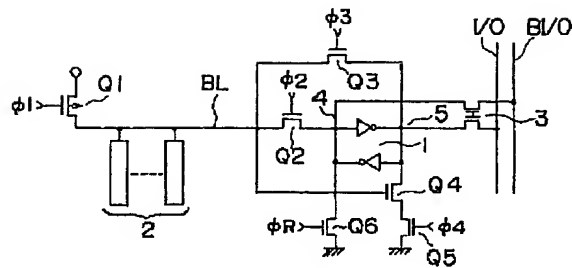
【図 4】



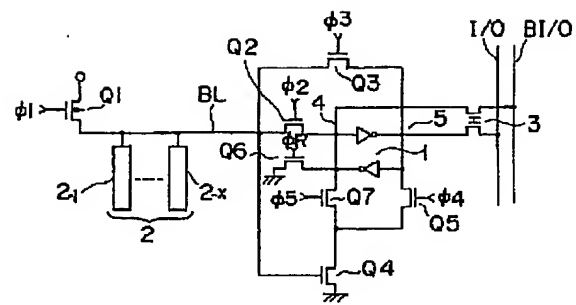
【図 5】



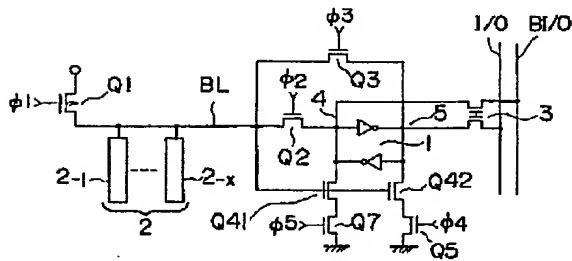
【図6】



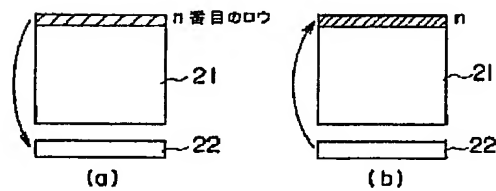
【図7】



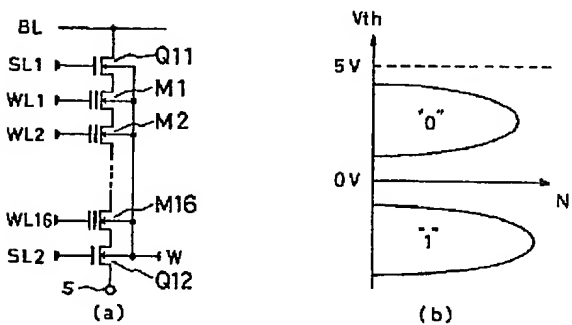
【図8】



【図9】



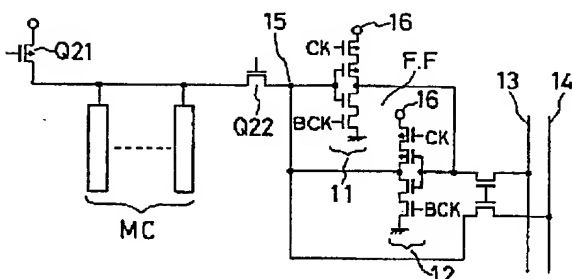
【図10】



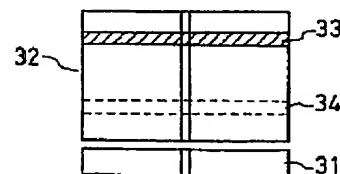
【図11】

	読み出し	消去	書き込み
BL	5V プリチャージ	Open	"0"書き込み 0V "1"書き込み 9V
SL1	5V	0V	11V
WL	選択 0V 非選択 5V	0V	選択 18V 非選択 9V
SL2	5V	0V	0V
W	0V	18V	0V
S	0V	18V	0V

【図13】

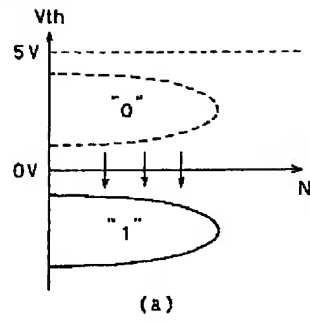


【図15】

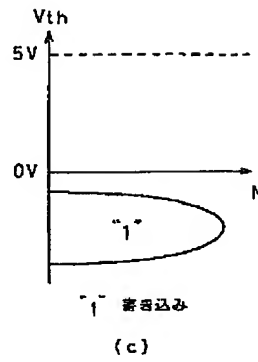
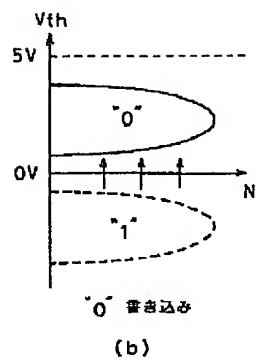


【図12】

(消去)



(書き込み)



THIS PAGE BLANK (USPTO)